

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-31086
(P2000-31086A)

(43)公開日 平成12年1月28日(2000.1.28)

(51)Int.Cl. ⁷	識別記号	F I	テマコード(参考)
H 0 1 L	21/28	H 0 1 L	21/28 L
	21/31		21/31 C
	21/768		21/90 P
	29/78	29/78	3 0 1 P
	21/336		

審査請求 未請求 請求項の数11 O L (全 5 頁)

(21)出願番号	特願平11-177449	(71)出願人	390039413 シーメンス アクチエンゲゼルシャフト SIEMENS AKTIENGESEL LSCHAFT ドイツ連邦共和国 D-80333 ミュンヘン ヴィッテルスバッハープラッツ 2
(22)出願日	平成11年6月23日(1999.6.23)		
(31)優先権主張番号	09/105228	(74)代理人	100061815 弁理士 矢野 敏雄 (外2名)
(32)優先日	平成10年6月25日(1998.6.25)		
(33)優先権主張国	米国 (U S)		

最終頁に続く

(54)【発明の名称】 半導体製造における自己整合接点プロセスおよび標準の自己整合接点半導体製造プロセスの改良方法ならびに自己整合接点半導体製造方法

(57)【要約】

【課題】 製造された半導体デバイスにおける電氣的フェールの可能性を減少させる改良 S A C プロセスを提供する。

【解決手段】 S A C プロセスフローの改良方法は、C B ライナーのエッチング後に絶縁スペーサをゲートスタック上に堆積させることおよび従来行われていた窒化物スペーサの堆積とエッチングを排除することを含む。次ぎに、絶縁スペーサをスタックの間でエッチングして、ビット線接点を挿入ポリ(接点)から十分に絶縁分離させる。標準的なC B 窒化物ライナーエッチングの後に絶縁スペーサを堆積させることで、製造された構造体における完全性がさらに達成される。

【特許請求の範囲】

【請求項1】 半導体製造における自己整合接点（SAC）プロセスを改良するための方法において、製造時に形成されたゲートスタック上に絶縁層を堆積させる工程、および絶縁層をエッチングして接点域からゲートスタックを絶縁分離するスペーサを形成させる工程からなることを特徴とする、半導体製造における自己整合接点プロセスの改良方法。

【請求項2】 堆積される絶縁層が窒化物層、酸化物層および酸窒化物層からなる群から選択されるものである、請求項1記載の方法。

【請求項3】 前記の堆積工程をCB窒化物ライナーのエッチングを行った後に行う、請求項1記載の方法。

【請求項4】 前記の堆積工程をプラズマ強化気相成長法を用いて行う、請求項1記載の方法。

【請求項5】 標準の自己整合接点（SAC）半導体製造プロセス（ステータスヤヌス）を改良するための方法において、

標準SACプロセスからスペーサ窒化物の堆積工程およびスペーサ窒化物のエッチング工程を排除する工程、この際排除された前記スペーサ窒化物堆積工程およびエッチングの工程はゲートスタック形成後に実施する、標準プロセスにおけるCB窒化物ライナーのエッチング工程後に形成されたゲートスタック上に絶縁層を堆積させる工程、および絶縁層をエッチングして接点領域からスタックゲートを絶縁分離するスペーサを形成させる工程からなることを特徴とする、半導体製造における標準の自己整合接点半導体製造プロセスの改良方法。

【請求項6】 堆積される絶縁層が窒化物層、酸化物層および酸窒化物層からなる群から選択されるものである、請求項5記載の方法。

【請求項7】 前記絶縁層堆積工程をプラズマ強化気相成長法を用いて行う、請求項5記載の方法。

【請求項8】 自己整合接点（SAC）半導体製造のための方法において、

基板上にゲートスタックを形成させる工程、形成されたゲートスタック上にライナーを堆積させる工程、

ライナー上にBPSG層を堆積させる工程、

BPSG層上にTEOS層を堆積させる工程、

ビット線接点をマスキングする工程、

ビット線接点をSACエッチングする工程、

ビット線接点をレジストストリップする工程、

ビット線接点を洗浄する工程、

ビット線接点のライナーをエッチングする工程、

前記ライナーエッチング工程の後に絶縁層を半導体デバイス上に堆積させる工程、

絶縁層をエッチングして接点領域からゲートスタックを絶縁分離するスペーサを形成する工程、からなることを特徴とする、自己整合接点半導体製造方法。

【請求項9】 堆積される絶縁層が窒化物層、酸化物層および酸窒化物の層からなる群から選択されるものである、請求項8記載の方法。

【請求項10】 前記TEOS層を堆積する工程の前に、堆積したBPSG層を化学的機械的に研磨する工程を更に有する、請求項8記載の方法。

【請求項11】 前記絶縁層堆積工程をプラズマ強化気相成長法を用いて行う、請求項8記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体の製造プロセスに関し、より詳細には半導体製造時におけるSACプロセスフローを改良するための方法に関する。

【0002】

【従来の技術】小型半導体デバイス製造の要望が増加するに伴って、多くの製造業者は自己整合法を用いている。たとえば、半導体デバイス製造のための自己整合接点（SAC）エッチングプロセスはトランジスタ構成に必要な領域を減少することができる。一般に、とりわけSACプロセスは、ゲートスタック形成後のスペーサ窒化物堆積、窒化物堆積後のスペーサ窒化物エッチングの工程を含む。しかしながら、このプロセスを用いる半導体製造では電氣的欠陥（フェール）が発生するのが普通である。これら電氣的フェールはCB短絡またはCB開放と呼ばれる。

【0003】図1は窒化物層の不十分なエッチングによるCB開放状態の一例である。この様に残留する窒化物薄層（Aで示す）によりポリ（poly）が拡散域に接触するのが阻害され、回路の開放を招く。CB開放はSACエッチングまたはCBライナーエッチングのいずれかの不完全から起こりうる。SACエッチングの場合、ウェーハ全体に渡るCMP/BPSGの不均一のため、40%のオーバーエッチングが必要である。その結果のCB短絡状態の例を図2に示す。この場合、窒化物層のオーバーエッチングによって層が極端に薄くなり、ポリとWSi層との間の短絡を引き起こす（Bで示す）。

【0004】現在、SACエッチングプロセスはTEL85DRM酸化室で行われる。TELツールは十分な窒化物コーナー選択性（20：1）、したがって良好な電氣的結果に導く唯一のツールであった。他のツール（たとえば、AME MxP⁺）が実証したコーナー選択性および電氣的フェールはよくなかった。

【0005】上述した点に鑑み、半導体製造プロセスにおけるCB短絡およびCB開放の可能性を減少させ、できれば排除するためにSACプロセスを改良する必要がある。

【0006】

【発明が解決しようとする課題】したがって、本発明の課題は製造された半導体デバイスにおける電氣的フェールの可能性を減少させる改良SACプロセスを提供する

ことにある。

【0007】

【課題を解決するための手段】前記課題は、特許請求の範囲の請求項1、5および8記載の方法により解決される。

【0008】本発明の実施態様に拠ると、従来実施されたスペーサ窒化物堆積およびスペーサ窒化物エッチングの工程がSACプロセスから排除され、かつCB（ビット線接点）窒化物ライナーのエッチング工程の後に、構成されたトランジスタ要素上に絶縁スペーサを堆積させる工程と、それに続き絶縁スペーサをエッチングして拡散領域との接点を維持しながらトランジスタ部品間の十分な絶縁を提供する工程が付加される。絶縁層は窒化物、酸化物または酸窒化物の層でよい。

【0009】

*
表 1

ステータスヤヌス	SAC 法
ゲートスタック形成	ゲートスタック形成
スペーサ窒化物堆積	
スペーサ窒化物エッチング	
SiONライナー堆積	SiONライナー堆積
BPSG堆積/CMP	BPSG堆積/CMP
TEOS堆積/アニール	TEOS堆積/アニール
CBマスキング	CBマスキング
CB SACエッチング	CB SACエッチング
CBレジストストリッピング	CBレジストストリッピング
CB S/P洗浄	CB S/P洗浄
CB窒化物ライナーエッチング	CB窒化物ライナーエッチング
	窒化物/酸化物/酸窒化物堆積
	スペーサエッチング

【0013】代わりのアプローチでは、窒化物、酸化物または酸窒化物のスペーサ層をCB（ビット線接点）窒化物ライナーのエッチング後に堆積させ、これが絶縁層として作用する。絶縁窒化物、酸化物または酸窒化物のスペーサ層は次ぎにエッチングされてトランジスタ要素からの十分な絶縁を提供し、一方で拡散領域との接点を提供してCB開放を阻止する。

【0014】図3に示すように、SACプロセスのゲートスタック形成工程は通常どおりゲート酸化物層（拡散領域）上で行われる。次ぎに、ゲートスタック上にSiNまたはSiONの堆積が行われ、BPSG（磷酸硼素珪酸ガラス）およびTEOSの堆積がこれに続く（図4）。BPSGの堆積後で、かつTEOS堆積の前に化学的機械的研磨（CMP）が行われる。

【0015】図5は次に続く工程群、特に、CBマスキング、SACエッチング、レジストストリッピング、S/P洗浄およびライナーエッチングを行った後に得られる構造体を示す。従来技術による製造方法では、窒化物ライナーのエッチングは少なすぎるまたはオーバーエッチングにより電氣的フェール（すなわち、CB短絡またはCB開放）の原因となりえる重要な工程である。スペーサ窒化物の堆積およびエッチングがCB窒化物ライナ

*【実施例】本発明のより完全な理解ならびに本発明に付随する多くの利点は、添付の図面とあわせて以下の詳細な説明を参照することにより理解され、明らかになるう。

【0010】なお、類似の参照符号は、同じか又は類似の構成成分を示す。

【0011】表1は本発明によるSACプロセスと標準SACプロセス（ステータスヤヌス(Status Janus))との比較を示す。新規プロセスでは標準SACプロセスのスペーサ窒化物堆積およびスペーサ窒化物エッチングの工程が除かれ、代わりに別のアプローチがCB窒化物ライナーのエッチング工程の後に取り入れられた。

【0012】

【表1】

一のエッチング後に行われるため（図6および7）、最悪の場合でも窒化物ライナーは完全にエッチングされ（図5中にCで示す）、通常オーバーエッチングが原因で起きるCB短絡の可能性を心配する必要はない。

【0016】図6は従来のCB窒化物ライナーのエッチング工程後のスペーサ窒化物、酸化物または酸窒化物の堆積を示す。スペーサ窒化物はそのSAC構造体における縦横比の高さ故に、プラズマ強化気相成長法（PECVD）を用いて堆積されるのが好ましい。次に、スペーサをドライエッチングして、図7に示す構造体を得る。ドライエッチングによってプロセスに必要な異方性が与えられる。装置の性能に与える衝撃を避けるために、シリコン内部のオーバーエッチングは30nm未満とすべきである。ここに示すように、スペーサはエッチングされて拡散領域との接点を提供し、結果的にCB開放の可能性を排除してエッチングされたSiN、ゲートキャップSiN（Gate Cap SiN）、WSiおよびポリ層でCB短絡を防止する空間を提供する。また、窒化物スペーサはそれぞれの層を中心ポリ層および拡散領域から絶縁する絶縁スペーサとして作用する。

【0017】本発明は、本発明を実施するための最良の形態としてここに開示された特定の実施例と限定される

5

ものではなく、むしろ請求の範囲に規定されるものを除き、本明細書に記載される特定の実施例に限定されない。

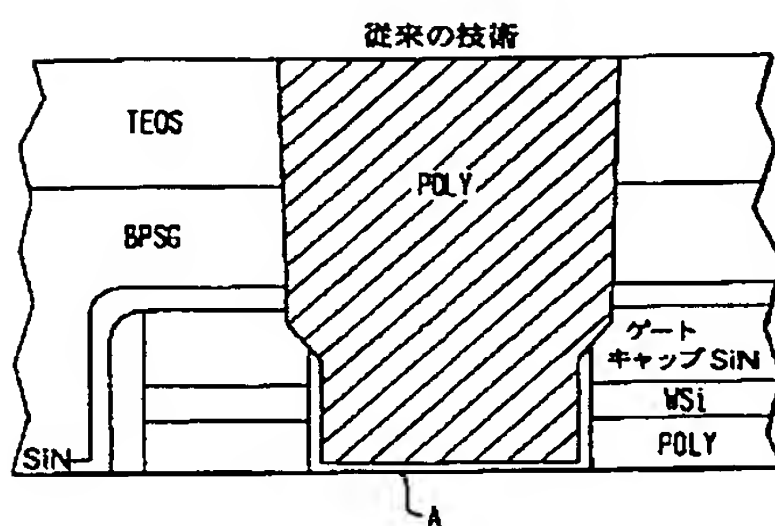
【図面の簡単な説明】

【図1】従来技術の製造方法で起きる開放を示す模式図である。

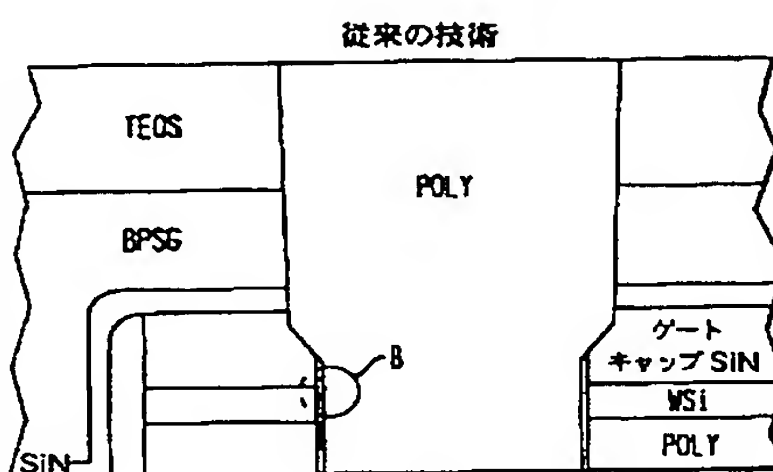
【図2】従来技術の製造方法で起きる短絡を示す模式図である。

【図3】本発明の実施例によるSACプロセスのゲートスタック形成を示す模式図である。

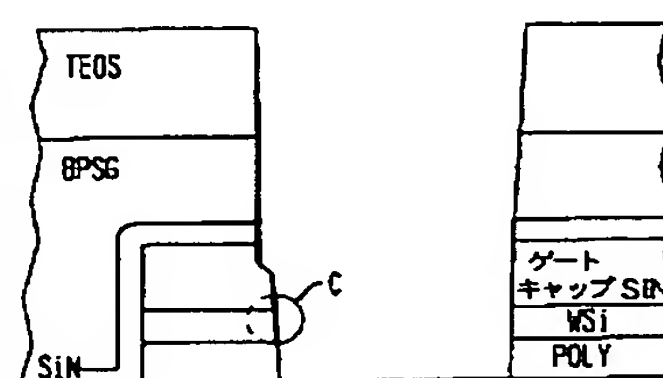
【図1】



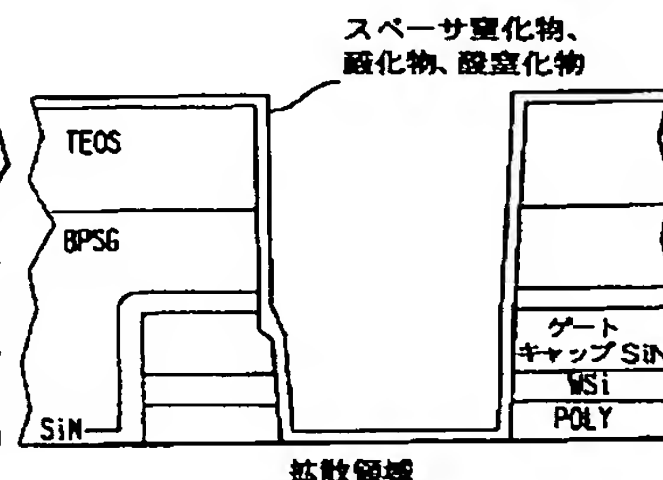
【図2】



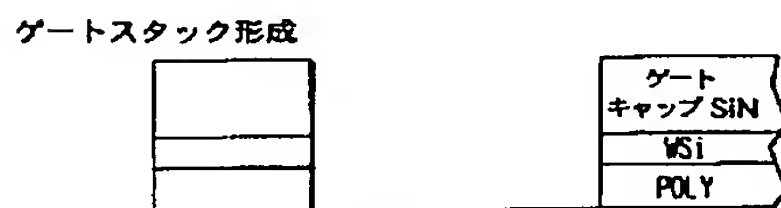
【図5】



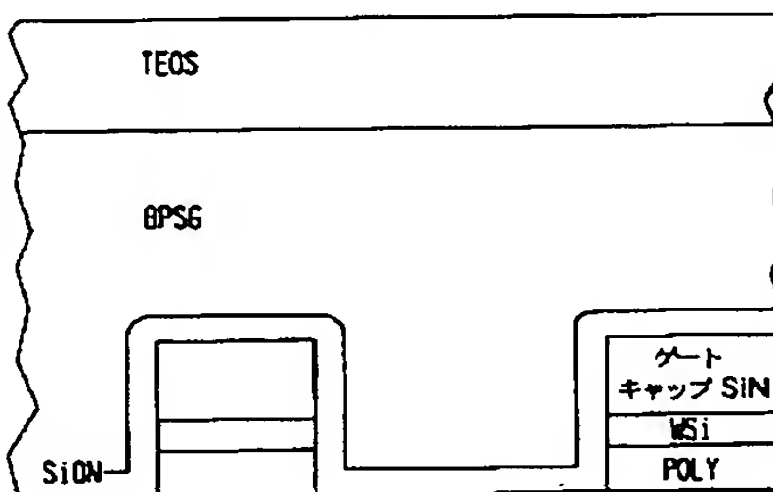
【図6】



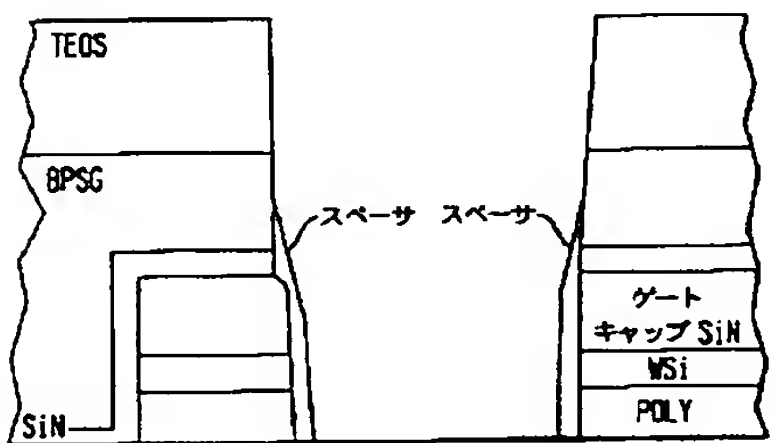
【図3】



【図4】



【図7】



スペース窒化物、
酸化物、酸窒化物

拡散領域

フロントページの続き

(71)出願人 594145404
インターナショナル ビジネス マシーン
ズ コーポレーション
アメリカ合衆国ニューヨーク州 10504
ニューヨーク アーモンク オールド オ
ーチャード ロード (番地なし)
(72)発明者 ユルゲン ヴィットマン
アメリカ合衆国 ニューヨーク フィッシ
ュキル スプルース コート 7

(72)発明者 ブルーノ シュプラー
アメリカ合衆国 ニューヨーク ワッピン
ガーズ フォールズ フィールドストーン
ブルバード 66
(72)発明者 デイヴ ドブジンスキー
アメリカ合衆国 ニューヨーク ホープウ
エル ジャンクション シェナンドー ロ
ード 29
(72)発明者 ヴォルフガング ベルクナー
アメリカ合衆国 ニューヨーク ワッピン
ガーズ フォールズ タウン ヴュー ド
ライヴ 137